

**PAT-NO: JP363076474A**

**DOCUMENT-IDENTIFIER: JP 63076474 A**

**TITLE: INVERTER CIRCUIT FOR THIN FILM TRANSISTOR**

**PUBN-DATE: April 6, 1988**

**INVENTOR-INFORMATION:**

**NAME**

**TAKAHATA, MASARU**

**ASSIGNEE-INFORMATION:**

**NAME**

**HITACHI LTD**

**COUNTRY**

**N/A**

**APPL-NO: JP61219445**

**APPL-DATE: September 19, 1986**

**INT-CL (IPC): H01L027/12, H01L029/78 , H01L027/08**

**US-CL-CURRENT: 257/71, 257/E27.111**

**ABSTRACT:**

**PURPOSE:** To make possible the simplification of a process and the speedup of a circuit by a method wherein a MOST formed by depositing directly a metal on the intrinsic semiconductor layer of source and drain parts is made to drive a P-channel.

**CONSTITUTION: A MOST formed by depositing directly a metal on the intrinsic semiconductor layer of source and drain parts is so contrived as to be made to perform a P-channel drive. For example, a poly Si film 2 is deposited on a glass substrate 1 and split insularly. Then, such an insulating film 3 as an oxide film and a poly Si film 4 which is used as a gate electrode are deposited, the poly Si film 4 and the insulating film 3 other than those located at a gate part, which is part to be made to perform an N-channel drive, are removed and P is ion-implanted to form an N-type semiconductor layer 5. Then poly Si film 4 and the oxide film 3 other than those located at a gate part, which is a part to be made to perform a P-channel drive, are removed, such an insulating film 3 as an oxide film is deposited, contact holes for the gate, source and drain part of respective transistors are opened and Al is deposited thereon to perform a patterning.**

**COPYRIGHT: (C)1988,JPO&Japio**

## ⑫ 公開特許公報(A)

昭63-76474

⑤Int.Cl. <sup>4</sup>	識別記号	庁内整理番号	④公開	昭和63年(1988)4月6日
H 01 L 27/12		7514-5F		
29/78	3 1 1	X-8422-5F		
// H 01 L 27/08	3 2 1	7735-5F	審査請求	未請求 発明の数 1 (全3頁)

⑬発明の名称 薄膜トランジスタのインバータ回路

⑭特 願 昭61-219445

⑮出 願 昭61(1986)9月19日

⑯発 明 者 高 畠 勝 茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

⑰出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑱代 理 人 弁理士 小川 勝男 外2名

## 明 細 書

## 1. 発明の名称

薄膜トランジスタのインバータ回路

## 2. 特許請求の範囲

1. 薄膜トランジスタ素子において、ソース、ドレイン部の真性半導体層の上に直接、金属を堆積させ製作したMOS TをPチャネル駆動させる事を特徴とする薄膜トランジスタのインバータ回路。

2. 請求範囲第1項において、薄膜は多結晶シリコンである事を特徴とする薄膜トランジスタのインバータ回路。

3. 請求範囲第1項において、金属はAlであることを特徴とする薄膜トランジスタ素子。

## 3. 発明の詳細な説明

(産業上の利用分野)

本発明は薄膜トランジスタに係り、特にシフトレジスタ等の回路の高速化に好適な薄膜トランジスタのインバータ回路に関する。

(従来技術)

薄膜トランジスタ(TFT)を用いて、アクティブマトリクス方式の周辺回路を製作する場合、インバータ回路の性能が周辺回路の性能を大きく左右する。例えばガラス基板上でインバータ回路を製作する場合は、プロセスの容易性などから、E/E構成のインバータ回路がよく用いられる。ところが、この回路は集積回路工学(2)、コロナ社、PP120-125において言われているように、1)オフレベルが電源電圧よりかなり低い、2)ターンオフ時間が長い、などの欠点がある。このE/E構成のインバータ回路を用いてシフトレジスタを構成したのが第2図である。第2図のシフトレジスタは2相ダイナミック形シフトレジスタと呼ばれるものであるが、例えば多結晶シリコンは単結晶シリコンと比較するとキャリアの移動度は2ケタ程度小さい。それで且つ多結晶シリコン(或は、非晶質シリコン)を用いたE/E構成のシフトレジスタを形成すると、シフトレジスタの高速化は極めて困難といえる。

(発明が解決しようとする問題点)

単結晶シリコンではE/E構成の欠点を克服する為に集積回路工学(2)、コロナ社、PP120-125で記されているようにE/D構成、CMOS構成などが考案された。特に第3図に示すようなCMOS構成はインバータ回路のスタティック、ダイナミック特性を大幅に改善する。そこで薄膜トランジスタのインバータもCMOS構成にすれば回路の電気特性が飛躍的に向上すると思われる。ところが、例えば多結晶シリコンを用いてCMOS構成にする場合は $n^+$ 層を形成する為のP或はAsのイオン打込みの他に $p^+$ 層を形成する為にB或はGaのイオン打込みが必要となり、プロセスが複雑になる。特に薄膜トランジスタの場合、複雑なプロセスはコスト、歩留りの点からなるべく避けなければならない。

(問題点を解決するための手段)

上記目的はPのイオン打込みを用いた従来の $n$ チャネルMOSとソース、ドレイン部の真性半導体層に直接金属を蒸着させた擬 $p$ チャネルMOSでCMOS構成にすることにより、達成さ

れる。金属、例えばAlを蒸着して製作した。これAlは良く知られているように電子に対してはショットキーコンタクトになる( $Al/n^-$ 界面)がホールに対してはオーミックコンタクトになる

( $Al/n^-$ 界面)ので、無理にB(ボロン)を打込まなくても良い、と考えた結果からである。結局、これら2つのトランジスタを第5図のようなCMOS構成にすることにより、イオン打込みを一度しか使わないCMOS回路が実現する。

(実施例)

以下、本発明の一実施例を第6図により説明する。

- a) ガラス又は、石英基板等の絶縁基板1上にCVD法などの公知の技術により多結晶シリコン、非晶質シリコン、Cd、Se等の半導体膜2を増積する。次に、ホットエッチング等の公知の技術により、半導体膜2を島状に分割する。
- b) CVD法などにより、酸化膜等の半導体絶縁膜3、ゲート電極となる金属、或は、多結晶シリコン4を順次増積し、ホットエッチング等の技

術により、 $n$ チャネル駆動を行なわせる部分のゲート部以外の多結晶シリコン4、半導体絶縁膜3を除去し、P(銅)をイオン打込みして $n$ 型半導体層を形成する。

(作用)

一般に非晶質シリコンを用いた薄膜トランジスタは非晶質シリコンのキャリアの移動度が低い為、大電流は流せないが逆にリーク電流は小さい。又、多結晶シリコンを用いた薄膜トランジスタは多結晶シリコンのキャリアの移動度は非晶質のそれよりは2ケタ程度大きいので、ある程度の電流は流せるが、逆に接合が不十分な為、リーク電流は大きい。ここで、多結晶シリコン薄膜トランジスタの典型的な $I_D-V_G$ 特性を第4図に示す。

$V_G=0V$ を境にして、 $V_G$ が正の電圧でも負の電圧でも電流が流れている。この事は多結晶シリコン薄膜トランジスタが両チャネル伝導を持っている事を示している。ところで、多結晶シリコンの $n$ チャネルMOS T (Metal-Oxide-Semiconductor-Transistor) は通常のシリコンプロセスで使われているPのイオン打込みを用いて製作したが、多結晶シリコンのPチャネルMOS Tはソース、ドレイン部の真性半導体層の上に直接、

術により、 $n$ チャネル駆動を行なわせる部分のゲート部以外の多結晶シリコン4、半導体絶縁膜3を除去し、P(銅)をイオン打込みして $n$ 型半導体層を形成する。

- c) ホットエッチング等の技術により、 $p$ チャネル駆動を行なわせる部分のゲート部以外の多結晶シリコン4、半導体絶縁膜3を除去する。

- d) CVD法などにより、酸化膜等の半導体絶縁膜3を増積し、ホットエッチング等の技術によりそれぞれのトランジスタのゲート、ソース、ドレイン部のコンタクトホールを明け、Al(アルミニウム)をその上に蒸着させて、ホットエッチング等の技術によりAlをパターンニングする。

(発明の効果)

本発明によれば、B(ボロン)打込みを使わず擬CMOS構成のインバータが製作できるため、

(1) プロセスの簡略化、(2) 回路の高速化、等の効果がある。

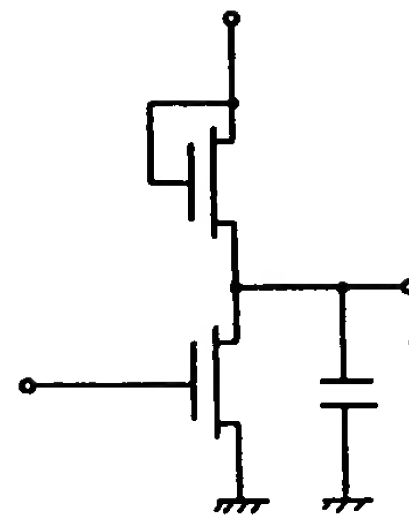
4. 図面の簡単な説明

第1図はPoly-Si TFTを用いたE/E構成のインバータ回路図、第2図は従来より用いられている2相ダイナミック形シフトレジスタ回路図、第3図は従来より用いられているCMOS構成のインバータ回路図、第4図はPoly-Si TFTの典型的な $I_D-V_G$ 特性図、第5図は本発明の疑似CMOS構成のインバータ回路図、第6図は本発明の一実施例のプロセス工程図である。

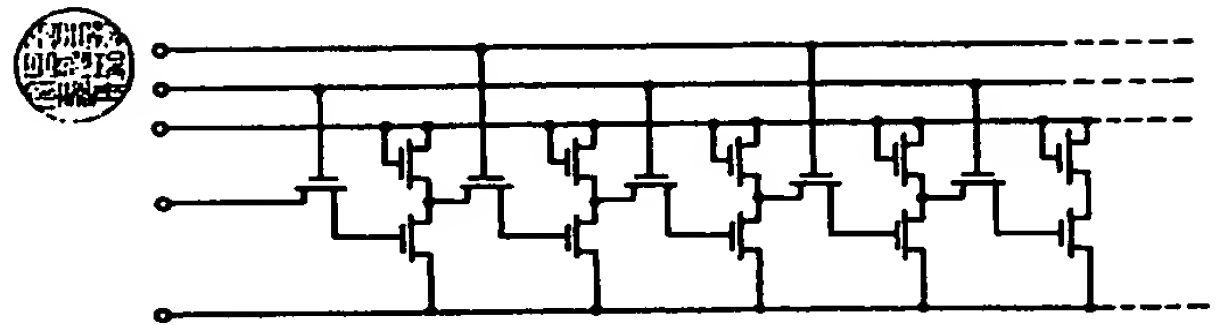
1…ガラス基板、2…Poly-Si(i層)、3…シリコン酸化膜、4…ゲート電極(Poly-Si層)、5…n形Poly-Si層(n+層)、6…ソース電極(A1)。

代理人 弁理士 小川勝男

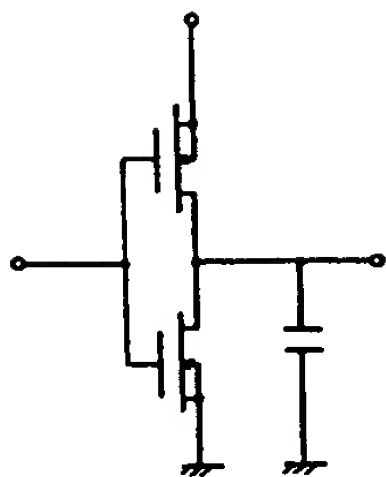
第1図



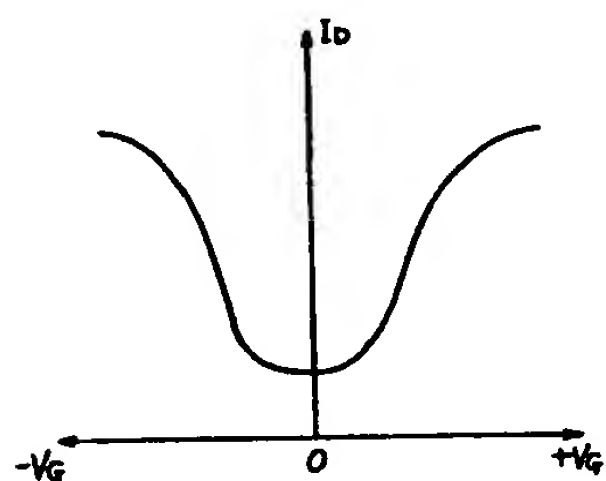
第2図



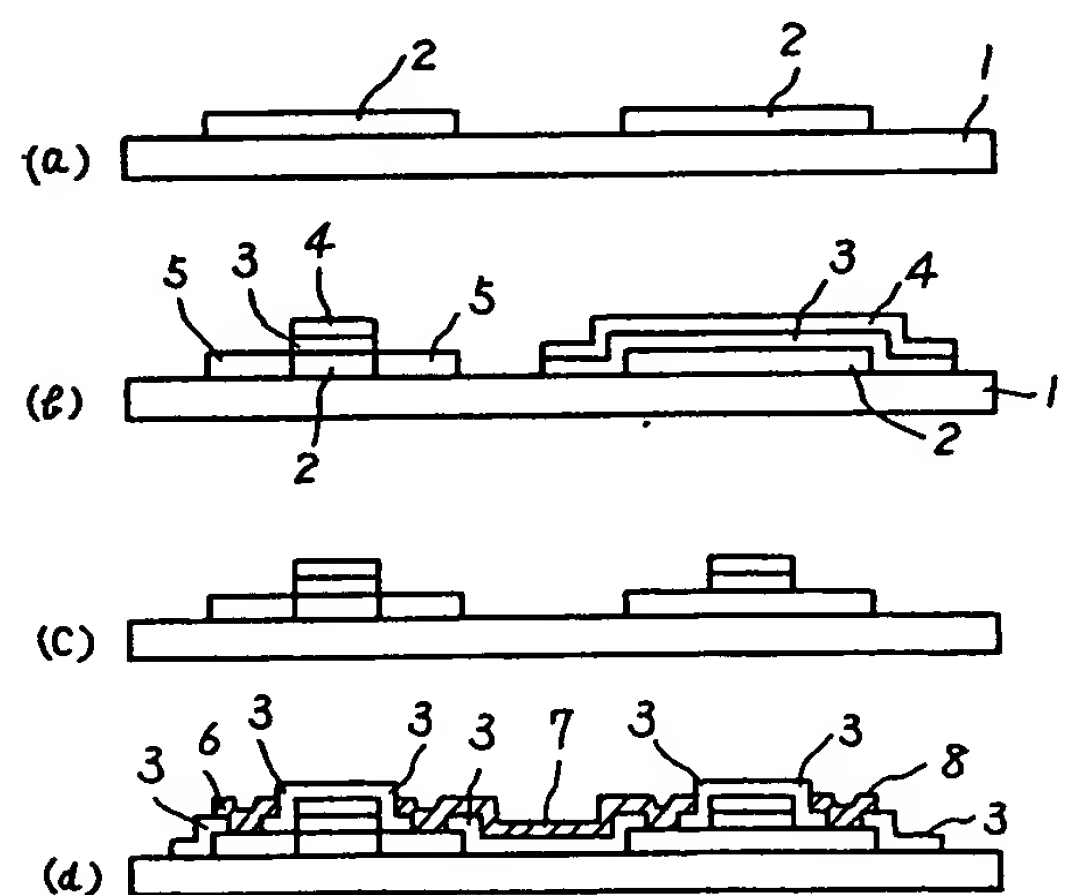
第3図



第4図



第6図



第5図

